

METHOD OF MANUFACTURING FOR SEMICONDUCTOR DEVICE

Patent Number: JP2001203208

Publication date: 2001-07-27

Inventor(s): FUJIWARA AKIHIRO

Applicant(s): TOSHIBA CORP

Requested Patent: JP2001203208

Application Number: JP20000012106 20000120

Priority Number(s):

IPC Classification: H01L21/3213; H01L21/28; H01L21/3065; H01L21/318

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a manufacturing method to suppress etching of a base silicon oxide film in a peeling-off/removal step for hard mask of P-SiN after forming an Al-alloy wiring.

SOLUTION: An Al alloy film 22 and a silicon nitride film 23 are formed sequentially on a silicon oxide film 21, and a resist pattern 24 is formed on the silicon nitride film 23. After the silicon nitride film 23 is etched by using the resist pattern 24 as a mask so as to form a silicon nitride pattern 25, the Al alloy film 22 is etched while using the resist pattern 24 and silicon nitride pattern 25 as a mask, so as to form a wiring layer 26 made of Al alloy, and the resist pattern 24 is removed. A gas having an improved etch selectivity containing a carbon fluoride, an oxygen and hydrocarbon fluoride is employed to suppress the etching of the silicon oxide film 21 and to remove the exposed silicon nitride pattern 25.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-203208
(P2001-203208A)

(43)公開日 平成13年7月27日(2001.7.27)

(51)Int.Cl.

H 01 L 21/3213
21/28
21/3065
21/318

識別記号

F I

H 01 L 21/28
21/318
21/88
21/302

マーク(参考)

F 4 M 1 0 4
B 5 F 0 0 4
D 5 F 0 3 3
F 5 F 0 5 8

審査請求 未請求 請求項の数 3 OL (全 7 頁)

(21)出願番号 特願2000-12106(P2000-12106)

(22)出願日 平成12年1月20日(2000.1.20)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 藤原 章裕

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

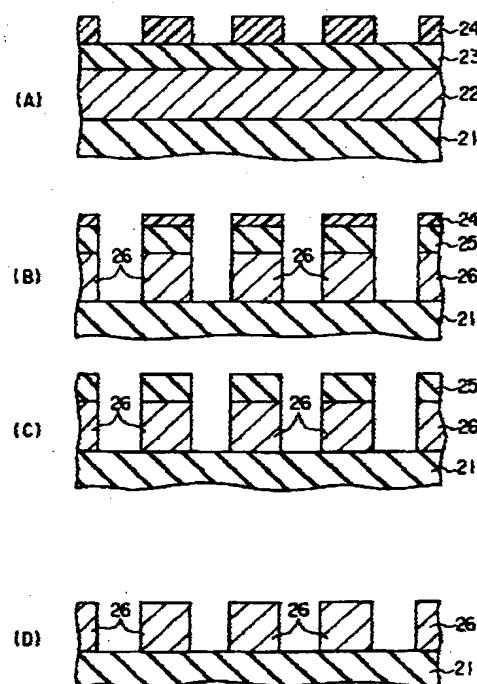
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【課題】 A1合金の配線形成後のP-SiNのハードマスクの剥離、除去工程において下地シリコン酸化膜のエッティングを抑制する製造方法を提供する。

【解決手段】 シリコン酸化膜21上にA1合金膜22および塗化シリコン膜23を順次形成し、塗化シリコン膜23上にレジストパターン24を形成する。レジストパターン24をマスクとして塗化シリコン膜23をエッティングして塗化シリコンパターン25を形成した後、レジストパターン24および塗化シリコンパターン25をマスクとしてA1合金膜22をエッティングしてA1合金の配線層26を形成した後、レジストパターン24を除去する。フッ化炭素、酸素およびフッ化炭化水素を含むエッティング選択比を高めたガスを用いることによりシリコン酸化膜21のエッティングを抑制しつゝ露出した塗化シリコンパターン25を除去する。



【特許請求の範囲】

【請求項1】 シリコン酸化膜上にA1合金膜および塗化シリコン膜を順次形成する工程と、前記塗化シリコン膜上にレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記塗化シリコン膜を選択的にエッチングして塗化シリコンパターンを形成した後、前記レジストパターンおよび塗化シリコンパターンをマスクとして前記A1合金膜を選択的にエッチングしてA1合金の配線層を形成する工程と、前記レジストパターンを除去した後、フッ化炭素、酸素およびフッ化炭化水素を含むエッチングガスを用いるプラズマエッチングにより露出した塗化シリコンパターンを除去する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項2】 前記塗化シリコン膜は、プラズマCVDで成膜されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記プラズマエッチングは、マイクロ波スロットアンテナプラズマのダウンフローエッチングであることを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特にA1合金からなる配線の形成工程を改良した半導体装置の製造方法に係わる。

【0002】

【従来の技術】 従来、半導体装置の製造におけるA1-Si-CuのようなA1合金からなる配線の形成プロセスは、半導体基板表面に成膜されたSiO₂からなる絶縁膜上に例えば厚さ3.0~4.0μmのA1合金膜を形成し、このA1合金膜上にレジスト膜を被覆し、写真蝕刻技術によりこのレジスト膜をバーニングしてレジストパターンを形成した後、このレジストパターンをマスクとして前記A1合金膜をリアクティブイオンエッチング(RIE)法により選択的にエッチングしてA1合金の配線を形成する。このようなA1合金配線の形成工程におけるRIE時のA1合金対レジストのエッチング選択比は1.0~1.2程度と小さく、エッチング時にレジストの膜減りが生じて、前記レジストパターンを精度よくA1合金膜に転写することが困難になる。このため、前記レジストの厚さを4.5~6.0μmと厚くする必要がある。しかしながら、レジストの厚さが厚くなるとレジスト塗布時に厚さバラツキや塗布むら(ハレーション)等の問題が生じ、結果としてA1合金配線の精度が低下する。また、A1合金膜のRIE時にレジスト残膜に余裕がなくなるため、A1合金膜の片落ち(トップ部の片落ち)、サイド部でのA1合金の細り等が発生し、レジスト単独でA1合金配線の加工形状を制御する

ことが困難になる。

【0003】 このようなことから、A1合金膜上にハードマスク、例えばプラズマ塗化シリコン(P-SiN)膜を追加してA1合金膜のRIE時の対レジストエッチング選択比を高めてA1合金配線の加工形状の制御性を向上することが行われている。具体的には、半導体基板表面に成膜したSiO₂からなる絶縁膜上にA1合金膜を形成し、このA1合金膜上にプラズマCVD法によりP-SiN膜を成膜し、レジスト膜を被覆し、写真蝕刻技術によりこのレジスト膜をバーニングしてレジストパターンを形成し、さらにこのレジストパターンをマスクとして前記P-SiN膜をRIE法により選択的にエッチングした後、これらレジストパターンおよびP-SiNパターンをマスクとして前記A1合金膜をRIE法により選択的にエッチングしてA1合金の配線を形成する。

【0004】 前述したA1合金の配線形成後においては、レジストパターンを剥離除去し、さらにP-SiNパターン(ハードマスク)をCF₄およびO₂の混合ガスをエッチングガスとして用いるケミカルドライエッチング(CDE)法により除去することが行なわれている。

【0005】

【発明が解決しようとする課題】 しかしながら、CDE法によるハードマスクの剥離、除去時における対下地SiO₂のエッチング選択比は1.0以下と小さいためにハードマスクの剥離、除去と同時に下地SiO₂がエッチングされる。その結果、ハードマスクの剥離、除去後にSiNのようなバッシベーション膜を成膜する工程で前記下地SiO₂のエッチング部においてバッシベーション膜のカバレッジ状態が悪化するため、その箇所でクラックが発生するという問題があった。クラック発生は、半導体装置の信頼性を低下させる。

【0006】 本発明は、A1合金の配線形成後のP-SiNのハードマスクの剥離、除去工程において対下地シリコン酸化膜とのエッチング選択比を高めて前記シリコン酸化膜のエッチングを抑制することが可能な半導体装置の製造方法を提供しようとするものである。

【0007】

【課題を解決するための手段】 本発明に係る半導体装置の製造方法は、シリコン酸化膜上にA1合金膜および塗化シリコン膜を順次形成する工程と、前記塗化シリコン膜上にレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記塗化シリコン膜を選択的にエッチングして塗化シリコンパターンを形成した後、前記レジストパターンおよび塗化シリコンパターンをマスクとして前記A1合金膜を選択的にエッチングしてA1合金の配線層を形成する工程と、前記レジストパターンを除去した後、フッ化炭素、酸素およびフッ化炭化水素を含むエッチングガスを用いるプラズマエッチングにより露出した塗化シリコンパターンを除去する工程とを

具備したことを特徴とするものである。

【0008】本発明に係る半導体装置の製造方法において、前記窒化シリコン膜はプラズマCVDで成膜された窒化シリコン膜(P-SiN膜)であることが好ましい。

【0009】本発明に係る半導体装置の製造方法において、前記プラズマエッチングはマイクロ波スロットアンテナプラズマのダウンフローエッチングであることが好ましい。

【0010】

【発明の実施の形態】以下、本発明に係る半導体装置の製造方法を詳細に説明する。

【0011】まず、シリコン酸化膜上にAl合金膜および窒化シリコン膜を順次形成する。

【0012】前記シリコン酸化膜としては、例えばテトラエチルオルソシリケート(TEOS)単独、もしくはTEOSおよび酸素の混合ガスを原料として成膜されたシリコン酸化膜(TEOS膜)、プラズマCVD法で成膜されたP-SiO₂膜、または熱CVD法で成膜されたSiO₂膜等を挙げることができる。特に、シリコン酸化膜としてTEOS膜が好適である。

【0013】前記窒化シリコン膜は、プラズマCVDで成膜された窒化シリコン膜(P-SiN膜)であることが好ましい。

【0014】前記Al合金としては、例えばAl-Si-Cu合金、Al-Si合金、Al-Cu合金等を挙げることができる。

【0015】次いで、前記窒化シリコン膜上にレジストパターンを形成した後、このレジストパターンをマスクとして前記窒化シリコン膜を選択的にエッチングして窒化シリコンパターン(ハードマスク)を形成する。つづいて、前記レジストパターンおよび窒化シリコンパターンをマスクとして前記Al合金膜を選択的にエッチングしてAl合金の配線層を形成する。

【0016】前記窒化シリコン膜およびAl合金膜のエッチングは、リアクティブイオンエッチング(RIE)法によりなされることが好ましい。

【0017】次いで、前記レジストパターンを除去した後、フッ化炭素、酸素およびフッ化炭化水素を含むエッチングガスを用いるプラズマエッチングにより露出した窒化シリコンパターンを除去する。この後、CVD法によりSiN等からなるバッシベーション膜を形成してシリコン酸化膜上のAl合金からなる配線が前記バッシベーション膜で覆われた半導体装置を製造する。

【0018】前記窒化シリコンパターンを除去するためのプラズマエッチングは、マイクロ波スロットアンテナプラズマのダウンフローエッチングで行なうことが好ましい。

【0019】前記エッチングガス中のフッ化炭素としては、例えばCF₄、C₂F₆、C₃F₈、C₄F₈、C₄F₁₀等

を挙げることができる。特に、フッ化炭素としてはCF₄が好ましい。

【0020】前記エッチングガス中のフッ化炭化水素としては、例えばCH₂F₂、CHF₃、C₂HF₅、CH₃F等を挙げることができる。特に、前記フッ化炭化水素はCH₂F₂が好ましい。

【0021】前記エッチングガス中のフッ化炭素およびフッ化炭化水素に占めるフッ化炭化水素の割合は、それらガス種によって一概に規定できないが、例えばフッ化炭素としてCF₄を、フッ化炭化水素としてCH₂F₂を用いた場合にはCH₂F₂/(CH₂F₂+CF₄)を0.4~0.6の範囲にすることが好ましい。この理由は、前記CH₂F₂の割合が前記範囲を逸脱すると窒化シリコンからなるハードマスクの剥離、除去工程において対下地シリコン酸化膜とのエッチング選択比を高めること困難になる。

【0022】前記エッチングガス中の酸素の割合は、それらのエッチングガス中の各ガス種によって一概に規定できないが、例えばフッ化炭素としてCF₄を、フッ化炭化水素としてCH₂F₂を用いた場合にはO₂/(CH₂F₂+O₂+CF₄)を0.3~0.7の範囲にすることが好ましい。この理由は、前記酸素の割合が前記範囲を逸脱すると窒化シリコンからなるハードマスクの剥離、除去工程において対下地シリコン酸化膜とのエッチング選択比を高めること困難になる。

【0023】以上説明したように本発明によれば、レジストパターンおよびハードマスクである窒化シリコンパターンをエッチングマスクとしてAl合金膜を選択的にエッチングしてAl合金配線を形成し、レジストパターンを剥離、除去した後、露出したハードマスクをフッ化炭素、酸素およびフッ化炭化水素を含むエッチングガスを用いるプラズマエッチングを行なうことによって、対下地シリコン酸化膜とのエッチング選択比を高めて前記シリコン酸化膜のエッチングを抑制しつつ前記ハードマスクを除去することができる。その結果、ハードマスクの剥離、除去後にSiNのようなバッシベーション膜を成膜する際、前記下地シリコン酸化膜のエッチングに起因するバッシベーション膜のカバレッジ状態の悪化を解消できるため、クラック発生のない良好なバッシベーション膜でAl合金配線が覆われた高信頼性の半導体装置を製造することができる。このように露出したハードマスクをフッ化炭素、酸素およびフッ化炭化水素を含むエッチングガスを用いてプラズマエッチングを行なうことによる対下地シリコン酸化膜とのエッチング選択比向上できるのは次のような作用によるものと推定される。

【0024】すなわち、従来のように窒化シリコンパターン(ハードマスク)をCF₄およびO₂の混合ガスをエッチングガスとして用いるCDE法により除去すると、エッチング中に窒化シリコン表面にNリッチ層が生成されて、窒化シリコンパターンを除去するためのSiとF

ラジカルとの反応性を阻害する。これに対し、本発明のように CF_4 のようなフッ化炭素および O_2 に CH_2F_2 のようなフッ化炭素を添加した混合ガスをエッチングガスとして用いるプラズマエッチングにおいては、前記窒化シリコン表面に生成されたNリッチ層にフッ化炭素から発生したHラジカルが反応し、 NH_3 を生成して揮散でき、窒化シリコン表面のNリッチ層を除去できるので、SiとFラジカルとの反応が円滑かつ迅速になされ、結果として下地シリコン酸化膜とのエッチング選択性を高めつつ、窒化シリコンを除去できるためであると考えられる。

【0025】特に、プラズマエッチングとしてマイクロ波スロットアンテナプラズマのダウンフローエッチングを採用することによって、均一なプラズマの中で前記エッチングガスを活性化（ラジカル化）することができるため、窒化シリコンのハードマスクを均一に剥離、除去することが可能になる。

【0026】

【実施例】以下、好ましい実施例を図面を参照して詳細に説明する。

【0027】図1は、以下の実施例で用いられるダウンフロー型のマイクロ波スロットアンテナプラズマエッチング装置を示す概略図、図2は図1の導波管を水平面に沿って切断し、誘電体窓に向かって見た平面図である。

【0028】真空容器1内は、水平方向に配置した例えばメッシュ状メタルからなる拡散板2によりプラズマ生成室3とエッチング室4とに上下に区画されている。ガス供給管5は、前記真空容器1上部の前記プラズマ生成室3の側壁に形成されている。回転軸6が下面に取り付けられた基板ホルダ7は、前記処理室4内に回転自在に配置されており、例えばシリコンウェハのような基板を保持する。排気管8は、前記エッチング室4が形成された前記真空容器1底部に取り付けられている。前記排気管8の他端には、真空ポンプのような排気系（図示せず）が連結されている。

【0029】石英ガラスからなる誘電体窓9は、前記真空容器1の上壁部に形成された開口部10に取り付けられている。なお、誘電体窓9は例えばアルミナで作られてもよい。矩形状の導波管11は、前記誘電体窓9を含む前記真空容器1の上壁部に配置されている。この導波管11には、図示しないマイクロ波発振器で発生されたマイクロ波が導入される。前記導波管11は、図2に示すように前記誘電体窓9に対向し、マイクロ波の電界方向に垂直な面（H面）と、前記H面に対して垂直方向に伸びるマイクロ波の電界方向に平行な面（E面）と、マイクロ波導入側と反対側に前記H面およびE面に対して垂直に設けられたマイクロ波を反射する反射面（短絡面；R面）とを有する。2つのスリット12₁、12₂は、前記導波管11のE面近傍の前記H面に前記E面に沿ってそれぞれ開口されている。前記スリット12₁、

12₂は、その幅が前記反射面（R面）に向かって狭くなるように階段状に変化した形状を有する。

【0030】（実施例1）まず、シリコンウェハ上にテトラエチルオルソシリケート（TEOS）および酸素の混合ガスを原料としたプラズマCVD法により厚さ1.8μmのD-TEOS膜を成膜した。このD-TEOS膜上にスパッタ法により厚さ4.0μmのAl-Si-CuのAl合金膜を成膜した。つづいて、このAl合金膜上にプラズマCVD法により厚さ200nmのP-SiN膜を成膜した。このP-SiN膜上にレジストを塗布し、乾燥して厚さ6.0μmのレジスト膜を形成した後、露光、現像を行なってレジストパターンを形成した。

【0031】次いで、前記レジストパターンをマスクとして前記P-SiN膜をRIE法により選択的にエッチングしてハードマスクを形成した後、レジストパターンおよびハードマスクをマスクとして前記Al合金膜をマグネットロンRIE法により選択的にエッチングしてAl合金配線を形成した。つづいて、レジストパターンをアッシャー処理により剥離、除去した。

【0032】次いで、前述した図1に示す真空容器1の処理室4内のホルダ7上に前記レジストパターン除去後のシリコンウェハ13を設置した。図示しない真空ポンプを作動して前記真空容器1内のガスを排気管8を通して排気した。同時または所定の圧力に到達した時点で、 CF_4 、 O_2 および CH_2F_2 からなる混合ガスをガス供給管5を通して前記真空容器1上部のプラズマ生成室3に供給した。この時の各ガスの供給条件は、 $\text{CF}_4 + \text{CH}_2\text{F}_2$ の流量を100sccm、 O_2 の流量を100sccmとともに、 CF_4 と CH_2F_2 の流量を変化 [$\text{CH}_2\text{F}_2 / (\text{CH}_2\text{F}_2 + \text{CF}_4) = 0.25, 0.5, 0.75, 1.0$] させた。前記真空容器1内が40Paの圧力になった時点で図示しないマイクロ波発振器から800Wのマイクロ波を導波管11内に導入することによって、前記真空容器1のプラズマ生成室3にプラズマを発生させ、このプラズマを拡散板2の開口を通して処理室4に導入した。この時、前記プラズマ中の活性な各ガスの原子が前記処理室4内のホルダ7上に設置されたウェハ13表面に露出したP-SiNパターンと反応してP-SiNパターンが剥離、除去された。

【0033】また、エッチングガスとして CF_4 と O_2 の混合ガスを用い、 CF_4 および O_2 の流量をそれぞれ100sccmにした以外、前述したのと同様な方法によりウェハ表面に露出したP-SiNパターンを剥離、除去した。

【0034】前述したエッチングガスとして CF_4 と O_2 の混合ガス（比較例）および CF_4 と O_2 と CH_2F_2 からなる混合ガスを用いたときのP-SiNパターンおよびこのP-SiNパターンから露出した下地層間膜としてのD-TEOS膜のエッチング速度を測定した。その結

果を図3に示す。また、図3にはこれらのエッチング選択比($P-SiN/TEOS$)を併記した。

【0035】図3から明らかなようにエッティングガスとして CF_4 と O_2 と CH_2F_2 からなり、 $CH_2F_2/(CH_2F_2+CF_4)=0.5$ とした混合ガスを用いた場合は、エッティングガスとして CF_4 と O_2 の混合ガスを用いた場合に比べて $P-SiN$ のエッティング速度が390 nm/分から624 nm/分へ向上し、かつ対下地層間膜であるD-TEOS膜のエッティング選択比が18.5から55.3に向上去ることがわかる。また、エッティングガス中の CH_2F_2 量を増大させるとD-TEOS膜のエッティング速度が徐々に低下する傾向にあることがわかる。

【0036】(実施例2)まず、図4の(A)に示すように図示しないシリコンウェハ上にテトラエチルオルソシリケート(TEOS)および酸素の混合ガスを原料としたプラズマCVD法により厚さ1.8 μmのD-TEOS膜21を成膜し、このD-TEOS膜21上にスピッタ法により厚さ4.0 μmのAl-Si-CuのAl合金膜22を成膜した。つづいて、このAl合金膜22上にプラズマCVD法により厚さ200 nmのP-SiN膜23を成膜した。このP-SiN膜23上にレジストを塗布し、乾燥して厚さ6.0 μmのレジスト膜を形成した後、露光、現像を行なってパターン幅3 μm、パターン間隔3 μmのレジストパターン24を形成した。

【0037】次いで、図4の(B)に示すように前記レジストパターン24をマスクとして前記P-SiN膜23を CHF_3 /アルゴンのエッティングガスを用いたRIE法により選択的にエッティングしてP-SiNパターン(ハードマスク)25を形成した後、レジストパターン24およびハードマスク25をマスクとして前記Al合金膜22を Cl_2/BCl_3 のエッティングガスを用いたマグネットロンRIE法により選択的にエッティングしてAl合金配線26を形成した。つづいて、図4の(C)に示すようにレジストパターン24をアッシャー処理により剥離、除去した。

【0038】次いで、前述した図1に示す真空容器1の処理室4内のホルダ7上に前記レジストパターン除去後のシリコンウェハ13を設置した。図示しない真空ポンプを作動して前記真空容器1内のガスを排気管8を通して排気した。同時に所定の圧力に到達した時点で、 CF_4 、 O_2 および CH_2F_2 からなる混合ガスをガス供給管5を通して前記真空容器1上部のプラズマ生成室3に供給した。この時の各ガスの供給条件は、 CF_4 および CH_2F_2 の流量をそれぞれ50 sccm [$CH_2F_2/(CH_2F_2+CF_4)=0.5$]、 O_2 の流量を100 sccmとした。前記真空容器1内が40 Paの圧力になった時点で図示しないマイクロ波発振器から800 Wのマイクロ波を導波管11内に導入することによって、前記真空容器1のプラズマ生成室3にプラズマを発生させ

るとともに、プラズマを拡散板2の開口を通して処理室4に導入し、前記処理室4内のホルダ7上に設置されたウェハ13表面に露出したP-SiNパターン25を剥離、除去した(図4の(D)図示)。

【0039】このような厚さ200 nmのP-SiNパターン25の剥離、除去後にP-SiNパターン25から露出された下地層間膜であるTEOS膜21のエッティング状態を観察した。その結果、そのTEOS膜21のエッティングは殆どなされていない(エッティング量: 4 nm未満)ことが確認された。また、P-SiNパターン25の剥離、除去後にAl1合金配線26を含む全体にSiNからなるバッシベーション膜をCVD法により成膜したところ、良好なカバレージ状態でバッシベーション膜が成膜され、クラック発生も認められない高信頼性の半導体装置を得ることができた。

【0040】

【発明の効果】以上詳述したように本発明によれば、Al1合金の配線形成後のP-SiNのハードマスクの剥離、除去工程において対下地シリコン酸化膜とのエッティング選択比を高めて前記シリコン酸化膜のエッティングを抑制でき、ひいてはその後のバッシベーション膜の成膜によりクラック発生のないカバレージが良好なバッシベーション膜で前記Al1合金配線を覆った高信頼性の半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】ダウンフロー型のマイクロ波スロットアンテナプラズマエッティング装置を示す概略図。

【図2】図1の導波管を水平面に沿って切断し、誘電体窓に向かって見た平面図。

【図3】実施例1におけるエッティングガスとして CF_4 と O_2 の混合ガスおよび CF_4 と O_2 と CH_2F_2 の混合ガスを用いてP-SiNパターンを剥離、除去した時のP-SiNパターンおよびこのP-SiNパターンから露出した下地層間膜としてD-TEOS膜のエッティング速度、エッティング選択比($P-SiN/TEOS$)を示す線図。

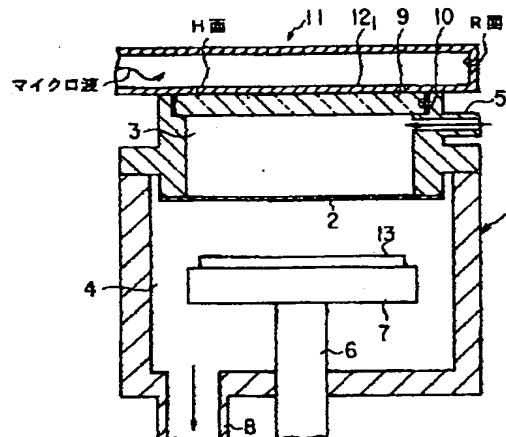
【図4】本発明の実施例2におけるAl1合金配線を有する半導体装置の製造工程を示す断面図。

【符号の説明】

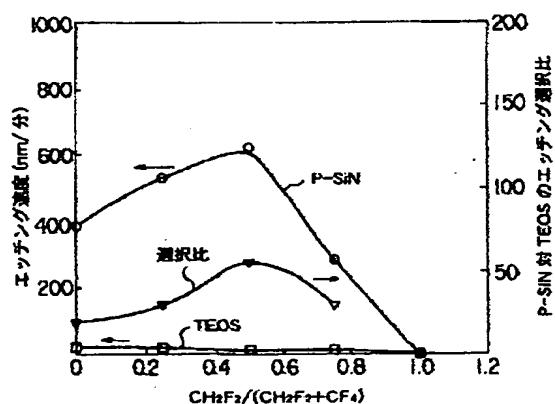
- 1…真空容器、
- 3…プラズマ生成室、
- 4…エッティング室、
- 9…誘電体窓、
- 11…導波管、
- 13…シリコンウェハ、
- 21…TEOS膜、
- 22…Al1合金膜、
- 23…P-SiN膜、
- 24…レジストパターン、
- 25…P-SiNパターン(ハードマスク)

26…A1合金配線。

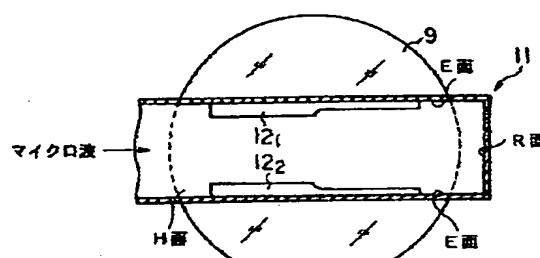
【図1】



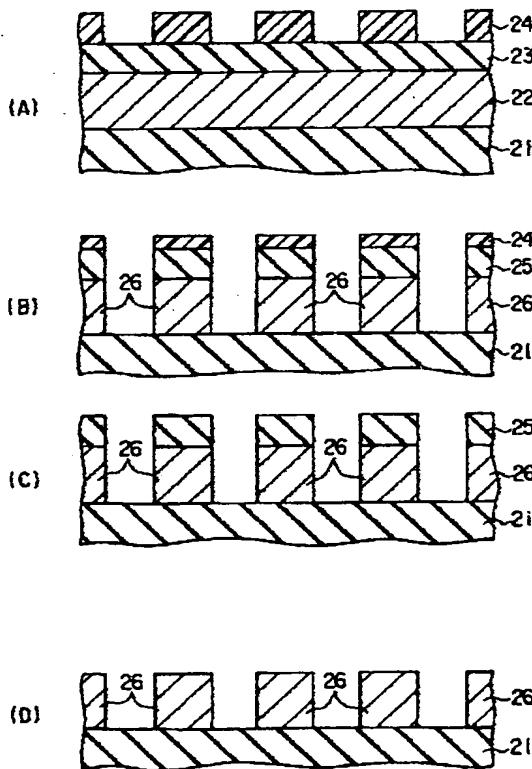
【図3】



【図2】



【図4】



(7) 001-203208 (P2001-2058)

フロントページの続き

Fターム(参考) 4M104 AA01 BB03 DD66 DD67 EE06
EE17 HH13 HH20
5F004 AA05 BA03 BA20 BB28 DA00
DA01 DA02 DA03 DA15 DA16
DA26-DA30-DB07-EB02
5F033 HH09 PP15 QQ08 QQ09 QQ12
QQ13 QQ16 QQ28 RR04 RR06
SS04 SS15 XX02 XX17 XX34
5F058 BA20 BB05 BC07 BF07 BJ02